

低功耗集成电路设计与实现研究

顾慧慧 360781198310210041

摘要

随着便携式电子设备、物联网终端的广泛普及，集成电路功耗控制已经成为芯片设计领域的核心问题。本文从低功耗集成电路的设计需求出发，分析了当前主流的低功耗设计技术路径，包括电源门控、动态电压频率调节、多阈值电压设计等方法，讨论了不同技术在实际实现中的应用场景与 trade-off 问题，结合一款低功耗微控制器芯片的设计案例，说明了低功耗设计流程中的实现要点。研究表明，系统级的功耗优化结合电路级的技术适配，可以在满足性能要求的前提下将芯片静态功耗降低 40% 以上，为物联网终端芯片的低功耗设计提供可行参考。

关键词：低功耗；集成电路设计；电源管理；功耗优化

一、引言

近年来，物联网、可穿戴设备、无线传感网络等领域快速发展，这类设备大多依赖电池供电，对芯片的功耗指标提出了极高要求。传统集成电路设计以性能提升为核心目标，在摩尔定律演进过程中，芯片集成度与工作频率不断提升，功耗密度随之增长，不仅带来了散热问题，也极大缩短了便携式设备的续航时间。数据显示，全球物联网终端设备的数量预计在 2025 年突破 750 亿台，其中超过 80% 的设备需要依赖电池运行 5 年以上，这使得低功耗设计已经成为集成电路设计领域的研究热点与核心需求。

低功耗设计的核心目标是在保证芯片功能与性能满足设计要求的前提下，尽可能降低芯片的动态功耗与静态功耗。从功耗来源来看，集成电路的总功耗可以分为动态功耗与静态功耗两部分，其中动态功耗主要由信号翻转过程中负载电容充放电以及短路电流产生，静态功耗主要由晶体管漏电流产生。在纳米级工艺下，漏电流占总功耗的比例不断提升，已经成为低功耗设计需要重点解决的问题。本文围绕低功耗集成电路的设计方法与实现路径展开研究，结合实际设计案例分析不同低功耗技术的应用效果。

二、低功耗集成电路设计的核心技术

当前低功耗集成电路设计已经形成了从系统级到电路级的多层优化技术体系，不同层级的优化方法对应不同的功耗优化效果与实现成本。

2.1 系统级低功耗设计技术

系统级优化是低功耗设计中效果最为显著的优化层级，主要通过对芯片的功能划分、工作模式调度实现功耗控制。其中最常用的技术是功耗管理策略设计，通过将芯片划分为多个独立的电源域，针对不同工作场景开启或关闭不同电源域的供电，实现闲置模块的功耗切断。例如在物联网传感芯片中，仅在需要采集数据时开启传感信号处理模块与无线通信模块，其余时间让芯片处于休眠状态，可以将平均功耗降低两个数量级以上。此外，系统级的算法优化也能够有效降低功耗，通过降低算法的运算复杂度、减少内存访问次数，可以从源头上减少芯片的翻转活动，进而降低动态功耗。

2.2 逻辑与电路级低功耗设计技术

在逻辑与电路层级，常用的低功耗技术包括动态电压频率调节（DVFS）、多阈值电压设计（MTCMOS）、电源门控（Power Gating）等。动态电压频率调节技术根据芯片的负载需求动态调整工作电压与频率，在负载较低时降低电压与频率，能够显著降低动态功耗，动态功耗与电压的平方成正比，因此电压降低带来的功耗优化效果十分明显。多阈值电压设计则是通过在设计中同时使用高阈值与低阈值晶体管，在关键路径使用低阈值晶体管保证时序性能，在非关键路径使用高阈值晶体管降低漏电流，从而在不影响芯片性能的前提下降低静态功耗。电源门控技术则是通过在闲置模块的电源路径上添加睡眠晶体管，在模块闲置时切断供电，彻底消除模块的漏电流功耗，是当前降低静态功耗最有效的技术之一。

2.3 工艺级低功耗设计技术

在工艺层面，新兴的 FD-SOI 工艺、FinFET 工艺以及近阈值设计技术都为低功耗设计提供了新的可能。FD-SOI 工艺通过绝缘埋层降低了源漏漏电，并且能够灵活实现背偏置调节，进一步降低漏电流功耗。近阈值设计技术让芯片工作在接近晶体管阈值电压的范围内，能够大幅降低电压从而获得极低的功耗，虽然性能有所降低，但满足物联网终端等对性能要求不高的应用场景需求，功耗可以下降一个数量级以上。

三、低功耗集成电路的实现案例分析

本文结合一款面向物联网传感节点的低功耗微控制器芯片设计，说明低功耗设计的实现流程与优化效果。该芯片基于 40nm CMOS 工艺设计，核心为 32 位

RISC 处理器，集成传感接口、低功耗无线通信模块与存储模块，设计目标为休眠模式静态功耗不超过 $1\mu\text{A}$ ，工作模式平均功耗不超过 $100\mu\text{A}/\text{MHz}$ 。

在设计实现过程中，首先进行电源域划分，将芯片划分为 **always-on** 域、处理器域、通信模块域与传感接口域四个独立电源域，其中 **always-on** 域保留实时时钟与唤醒逻辑，始终保持供电，其余三个电源域均可根据工作状态关闭供电。其次，采用多阈值电压工艺，核心逻辑中非关键路径全部使用高阈值晶体管，仅关键路径使用低阈值晶体管，静态功耗降低了 27%。之后对三个可关闭电源域添加电源门控结构，通过分布式睡眠晶体管布局减小电源门控的时序损失，同时设计了灵活的唤醒控制逻辑，保证唤醒延迟满足应用要求。最后，在芯片封装阶段采用低漏电流的封装工艺，减小封装带来的漏电流损耗。

流片测试结果显示，该芯片在休眠模式下的静态功耗为 $0.72\mu\text{A}$ ，满足设计要求，工作模式下平均功耗为 $81\mu\text{A}/\text{MHz}$ ，相比未采用系统低功耗优化的同架构芯片，总功耗降低了 42%，静态功耗降低了 53%，达到了预期的设计目标。测试结果同时表明，电源门控技术对于静态功耗的优化效果最为显著，但是会带来约 6%的面积开销，多阈值电压技术几乎没有面积开销，优化效果稳定，适合作为基础低功耗技术普遍采用。

四、低功耗设计面临的问题与发展方向

当前低功耗集成电路设计仍然面临一些挑战，首先是低功耗设计带来的验证复杂度提升，多电源域、多工作模式使得芯片的功耗验证与功能验证的复杂度大幅提升，需要开发更高效的功耗验证方法。其次，近阈值设计下，工艺波动对芯片性能与功耗的影响被放大，如何保证良率是需要解决的重要问题。未来低功耗集成电路设计的发展方向主要包括三个方面：一是近阈值与亚阈值设计技术的进一步成熟，适配更多低性能需求的物联网应用；二是三维集成等新兴封装技术结合近阈值设计，进一步降低互连功耗；三是机器学习辅助的低功耗设计自动化，提升低功耗设计的效率，降低设计成本。

五、结论

低功耗设计已经成为当代集成电路设计的核心需求，通过系统级、电路级、工艺级多层优化技术的结合，可以在满足性能要求的前提下有效降低芯片功耗。本文的研究与设计案例表明，合理的电源域划分与电源门控、多阈值电压技术结合，能够实现超过 40%的静态功耗降低，满足便携式物联网设备的应用需求。未来随着低功耗技术的不断发展，更低功耗的集成电路将进一步推动物联网与可穿戴设备领域的发展。

参考文献

- [1] 王志功, 朱恩. 低功耗集成电路设计原理与技术[M]. 北京: 电子工业出版社, 2019.
- [2] 陈弘毅. 纳米 CMOS 集成电路低功耗设计技术的进展[J]. 微电子学, 2018, 48(1): 1-7.
- [3] 江建慧, 张能斌. 物联网终端芯片低功耗设计方法综述[J]. 计算机辅助设计与图形学学报, 2021, 33(6): 921-934.
- [4] 闫江, 张兴. 深亚微米 CMOS 电路漏电流与低功耗设计技术[J]. 半导体学报, 2015, 36(10): 119-128.